

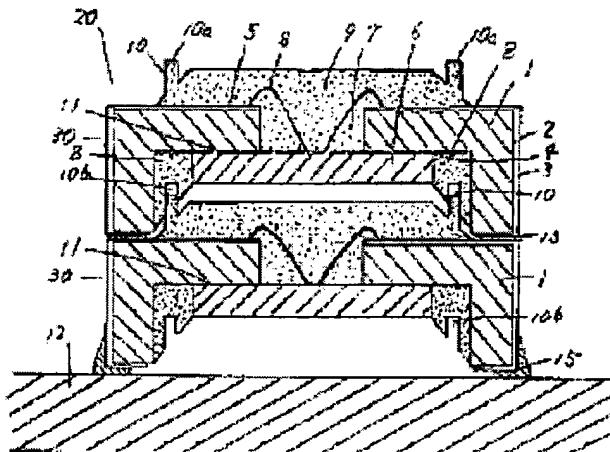
**SEMICONDUCTOR DEVICE AND INTEGRATED SEMICONDUCTOR DEVICE**

**Patent number:** JP11097580  
**Publication date:** 1999-04-09  
**Inventor:** HIRATA ISAO; KANO TAKESHI; NAKANISHI HIDEO  
**Applicant:** MATSUSHITA ELECTRIC WORKS LTD  
**Classification:**  
- **international:** H01L23/12; H01L23/28; H01L25/10; H01L25/11;  
H01L25/18  
- **europen:**  
**Application number:** JP19970257413 19970924  
**Priority number(s):** JP19970257413 19970924

**Abstract of JP11097580**

**PROBLEM TO BE SOLVED:** To enhance connection reliability of a semiconductor device to be stacked by resin sealing the outer leads, the wires and a semiconductor element and forming a protruding and recessed fitting part of sealing resin on the upper or lower surface of a semiconductor device.

**SOLUTION:** A plurality of recesses 2 having substantially semicircular cross- section arc provided in the side end face of a substrate 1 and outer leads 3 are formed in these recesses 2. A counterbore 4 is made in one side face of the substrate 1 and a part 7 opening to the opposite sides of the substrate 1 is provided at the counterbore 4. A semiconductor element 6 is mounted in the counterbore 4 and a wire 8 is bonded between the semiconductor element 6 and a circuit 5 through the opening 7. Subsequently, the wire 8, the outer leads 3 and the semiconductor element 6 are resin sealed 9 and a protruding and recessed fitting part 10b of sealing resin is formed on the upper or lower surface of the semiconductor device 30.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-97580

(43)公開日 平成11年(1999)4月9日

(51)Int.Cl.<sup>6</sup>  
H 0 1 L 23/12  
23/28  
25/10  
25/11  
25/18

識別記号

F I  
H 0 1 L 23/12  
23/28  
25/14

L  
J  
Z

審査請求 未請求 請求項の数 4 O.L (全 4 頁)

(21)出願番号

特願平9-257413

(22)出願日

平成9年(1997)9月24日

(71)出願人 000005832

松下電工株式会社

大阪府門真市大字門真1048番地

(72)発明者 平田 熊夫

大阪府門真市大字門真1048番地松下電工株式会社内

(72)発明者 加納 武司

大阪府門真市大字門真1048番地松下電工株式会社内

(72)発明者 中西 秀雄

大阪府門真市大字門真1048番地松下電工株式会社内

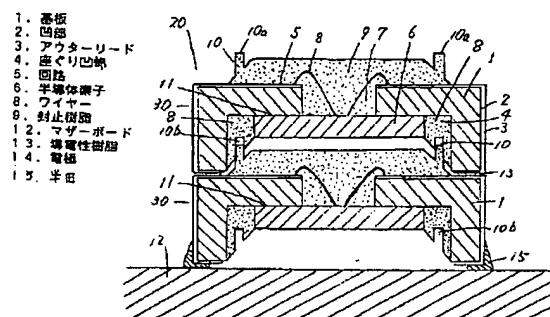
(74)代理人 弁理士 佐藤 成示 (外1名)

(54)【発明の名称】 半導体装置および集積半導体装置

(57)【要約】

【課題】 積み重ねる半導体装置の接続信頼性を高く得るように、容易に位置決めが可能な半導体装置および、その半導体装置より得られる集積半導体装置を提供することを目的とするものである。

【解決手段】 本発明の半導体装置は、スルーホールを略半分に切断する箇所で裁断することによって基板の側端面に断面略半円形の複数の凹部を設けるとともにこの凹部にアウターリードを形成し、基板の片側面に座ぐり凹部を形成するとともにこの座ぐり凹部の箇所において基板の両面に開口する開口部を設け、座ぐり凹部を設けた面と反対側の面において基板の表面にアウターリードと接続される回路を形成し、座ぐり凹部に半導体素子を搭載するとともに開口部を通して半導体素子と回路との間にワイヤーをボンディングし、上記アウターリードとワイヤーおよび半導体素子を封止樹脂により封止し、封止した樹脂により本半導体装置の上面あるいは下面に凸状、および/または、凹状の嵌合部を形成してなることを特徴とする。



【特許請求の範囲】

【請求項 1】 スルーホールを略半分に切断する箇所で裁断することによって基板の側端面に断面略半円形の複数の凹部を設けるとともにこの凹部にアウターリードを形成し、基板の片側面に座ぐり凹部を形成するとともにこの座ぐり凹部の箇所において基板の両面に開口する開口部を設け、座ぐり凹部を設けた面と反対側の面において基板の表面にアウターリードと接続される回路を形成し、座ぐり凹部に半導体素子を搭載するとともに開口部を通して半導体素子と回路との間にワイヤーをボンディングし、上記アウターリードとワイヤーおよび半導体素子を封止樹脂により封止し、封止した樹脂により本半導体装置の上面あるいは下面に凸状、および/または、凹状の嵌合部を形成してなることを特徴とする半導体装置。

【請求項 2】 上記請求項 1 に記載の半導体装置において、該封止樹脂で形成された嵌合部により互いに重ね合わせる半導体装置の方向を一定の方向に限定できることを特徴とする半導体装置の積層方法。

【請求項 3】 上記請求項 1 及び請求項 2 に記載の半導体装置において、基板に搭載された半導体素子のワイヤーが存する反対の側を封止樹脂により半導体素子を露出して封止したことを特徴とする半導体装置。

【請求項 4】 上記請求項 1 乃至請求項 3 に記載の半導体装置の互いの嵌合部を嵌合して半導体装置を積み重ねることにより形成されることを特徴とする集積半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、電気機器や電子機器に半導体素子を搭載して実装される半導体装置に関するもので、特に、高集積化が可能なリードレスチップキャリアで構成される半導体装置および集積半導体装置に関するものである。

【0002】

【従来の技術】 集積回路用の半導体パッケージとして、LCC (リードレスチップキャリア) やQFP (Quad Flat Packag) が知られている。これらの半導体パッケージは、半導体素子のさらなる高集積化にともなって導体回路の要領増加が強く要求されるようになっている。そのため、導体回路の高密度化も進められている。しかし、LCCの限られた面積内では係る要求に充分対応することができないので、LCCを積層化して高集積化に対応する方法が考えられた。たとえば、特許公開平成6年第140738号や特許公開平成5年第29534号が知られている。

【0003】 これらの半導体パッケージを使用した半導体装置は、図4に示すごとく、積層配置することにより高集積化を容易に図ることができる半導体装置30であるが、積層化する際にそれぞれの半導体装置30の上面

の電極と下面の電極を相対する位置に配置するのが困難でショートや導通不良が生じていた。

【0004】

【発明が解決しようとする課題】 本発明は上記の点に鑑みてなされたものであり、積み重ねる半導体装置の接続信頼性を高く得るように、容易に位置決めが可能な半導体装置および、その半導体装置より得られる集積半導体装置を提供することを目的とするものである。

【0005】

【課題を解決するための手段】 本発明の請求項 1 に記載の半導体装置は、スルーホールを略半分に切断する箇所で裁断することによって基板1の側端面に断面略半円形の複数の凹部2を設けるとともにこの凹部2にアウターリード3を形成し、基板1の片側面に座ぐり凹部4を形成するとともにこの座ぐり凹部4の箇所において基板1の両面に開口する開口部7を設け、座ぐり凹部4を設けた面と反対側の面において基板1の表面にアウターリード3と接続される回路5を形成し、座ぐり凹部4に半導体素子6を搭載するとともに開口部7を通して半導体素子6と回路5との間にワイヤー8をボンディングし、上記アウターリード3とワイヤー8および半導体素子6を封止樹脂9により封止し、封止した樹脂により本半導体装置30の上面あるいは下面に凸状、および/または、凹状の嵌合部10bを形成してなることを特徴とする。

【0006】 本発明の請求項 2 に記載の半導体装置は、上記請求項 1 に記載の半導体装置 30 において、該封止樹脂 9 で形成された嵌合部 10 により互いに重ね合わせる半導体装置 30 の方向を一定の方向に限定できることを特徴とする。

【0007】 本発明の請求項 3 に記載の半導体装置は、上記請求項 1 及び請求項 2 に記載の半導体装置 30 において、基板 1 に搭載された半導体素子 6 のワイヤー 8 が存する反対の側を封止樹脂 9 により半導体素子 6 を露出して封止したことを特徴とする。

【0008】 本発明の請求項 4 に記載の集積半導体装置は、上記請求項 1 乃至請求項 3 に記載の半導体装置 30 の互いの嵌合部 10 を嵌合して半導体装置 30 を積み重ねることにより形成されることを特徴とする。

【0009】 本発明の半導体装置 30 は、半導体素子 6 を封止する封止樹脂 9 の金型に、一方のキャビティ面には凹状の嵌合部 10b が、他方のキャビティ面には凸状の嵌合部 10a が形成できる形状になっている。これらの凹状と凸状の嵌合部 10 が半導体装置 30 を積層する際に嵌合し、位置ずれすることなく積層することができる。この嵌合部 10 を使用することにより容易に積層することもできる。また、嵌合部 10 の位置関係により方向性を一定にすことができ、積層方向の間違いすることなく容易に積層することができる。

【0010】 さらに、半導体装置 30 の互いの嵌合部 10 を嵌合して半導体装置 30 を積層する際、絶縁基板 1

の側面に形成された電極に、ガイドピンを係合させて半導体装置30を積層することにより、さらに積層した半導体装置30のずれの発生を抑制することができる。

#### 【0011】

【発明の実施の形態】以下、本発明の半導体装置の積層方法を一実施形態を示す図面に基づいて具体的に説明する。

【0012】図1は、本発明に係る半導体装置の一実施形態を示す断面図で、図2は、図1の半導体装置を上方より見た上面図である。また図3は、上記実施形態を示す基板の一部を示す斜視図である。

【0013】本発明の半導体装置は、図1に示す如く、半導体搭載部11にボンディングワイヤが通過する開口部7を有する絶縁基板1より形成された半導体パッケージ20と、絶縁基板1の上面、下面ないし側面に電極が形成された半導体パッケージ20の半導体搭載部11に半導体素子6が搭載され、上記絶縁基板1の上面および下面が樹脂封止され、該封止した樹脂により、上面に凸状の嵌合部10aを形成され、さらに、下面に該凸状の嵌合部10aに嵌合する凹状の嵌合部10bが形成されている。

【0014】上記絶縁基板1に形成された電極は、図3に示すごとく、予め絶縁基板1の周囲に形成されたスルーホールを略半分に切断する箇所で裁断することによって、基板1の側端面に断面略半円形の複数の凹部2を設け、この凹部2がアウターリード3となる。

【0015】また、上記開口部7は、基板1の片側面に座ぐり凹部4を形成するとともに、この座ぐり凹部4の箇所において形成された基板1の両面に開口している口である。前記座ぐり凹部4を設けた面と反対側の面において、前述のアウターリード3と接続される回路5が基板1の表面に形成されている。

【0016】さらに、上記絶縁基板1の下面に露出した開口部7の周囲に設けられた半導体搭載部11に、図に示すごとく半導体素子6を搭載する際、この開口部7を通して半導体素子6の電極パッドと半導体パッケージの電極とを金線などのボンディングワイヤー8により電気的に接続することができるものである。さらに、ワイヤー8と電極とを保護するために、これらを覆うように封止樹脂9で封止することにより半導体装置30を得ることができるものである。封止樹脂9により半導体素子6は基板1にさらに強く固定されるようになっている。また、本発明の半導体装置30は、上記封止樹脂9の封止形状に特徴を有するもので、上面に凸状の嵌合部10aが形成され、さらに、下面に該上面の凸状の嵌合部10aに嵌合する凹状の嵌合部10bが形成されている。これらの嵌合部10は、半導体装置30を重ねあわせることで互いに嵌合することができる形状を有し、円柱状の凸部と、円筒形の凹部とで構成されている。上面に形成された凸状の嵌合部10aの高さは、下面に形成された凹

状の嵌合部10bの深さより低い寸法に設定され、半導体装置30を重ねあわせて嵌合する際に、基板1どうしが当接しても嵌合部10が嵌合した際に空隙が形成されるようになっている。これらの嵌合部10は、少なくともそれぞれ3ヶ所形成したり、非対称の位置に上面と下面に配置したり、上面と下面に凹状と凸状の嵌合部10をそれぞれ設けることが重ねあわせる位置を決定するためには必要で、図2に示すごとく、本実施例では上面が方形の半導体装置30に3ヶ所形成されている。3ヶ所形成されていると、反転間違いすることなく確実に一定の方向に位置決めセットすることができる。図1に示す半導体装置30は、2つを重ねあわせて積載したもので、下の半導体装置30の基板1のアウターリード3の上部電極上に、上の半導体装置30の基板1のアウターリード3の下部電極を導電性材料を介して重ね、上下の基板1を導電性材料で機械的に接合すると共に上下の基板1を電気的に接続して、2つの半導体装置30を積載するようにしてある。この導電性材料としては異方性導電性接着剤を用いることができる。さらに、上記2つ重ねあわせた半導体装置30の上にさらに積載することもできる。

【0017】このように2個以上の複数の半導体装置30を積載した集積半導体装置40は、その下端の半導体装置30を図1に示すごとくマザーボード12に半田付けすることによって、マザーボード12に実装することができるものである。

【0018】本実施例では、上面側に凸状の嵌合部10a、下面側に凹状の嵌合部10bを有する半導体装置30を説明したが、上面側に凹状の嵌合部10b、下面側に凸状の嵌合部10aを有する半導体装置30も形成することができ、同様に積み重ねることにより、集積半導体装置40を形成することができる。

【0019】また、図2に示すごとく本発明の半導体装置30は、下面になる半導体素子6を搭載した側の封止樹脂9が半導体素子6の表面を覆わるために、半導体装置30の総厚みを薄くすることができ、さらに、放熱板の取り付けをすることができる。上述したように、本発明の半導体装置30及び集積半導体装置40は、基板1の両面に開口する開口部7を設け、座ぐり凹部4を設けた面と反対側の面において基板1の表面にアウターリード3と接続される回路5を形成し、座ぐり凹部4に半導体素子6を搭載するとともに開口部7を通して半導体素子6と回路5との間にワイヤー8をボンディングし、上記アウターリード3とワイヤー8および半導体素子6を封止樹脂9により封止し、封止した樹脂により本半導体装置30の上面あるいは下面に凸状、および/または、凹状の嵌合部10bが形成されているので、配置方向を気にすることなく容易に積載することができる。

#### 【0020】

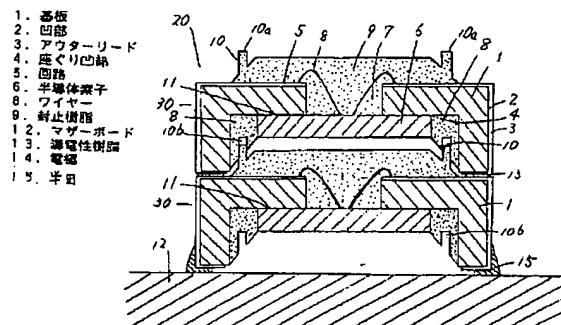
【発明の効果】上述したように、本発明に係る半導体装

置および集積半導体装置は、基板の側端面に断面略半円形の複数の凹状のアウターリードを有し、基板の片側面に座ぐり凹部を形成され、この座ぐり凹部において基板の両面に開口する開口部を設け、座ぐり凹部に半導体素子を搭載するとともに前記開口部を通して半導体素子と回路との間にワイヤーをボンディングし、上記アウターリードとワイヤーおよび半導体素子を封止樹脂により封止し、封止した樹脂により本半導体装置の上面あるいは下面に凸状、および/または、凹状の嵌合部を形成してるので、それぞれの半導体装置を積み重ねても容易に積載することが可能で、高い位置精度を確保することができる。また、積載する時間も大幅に短縮することができる。

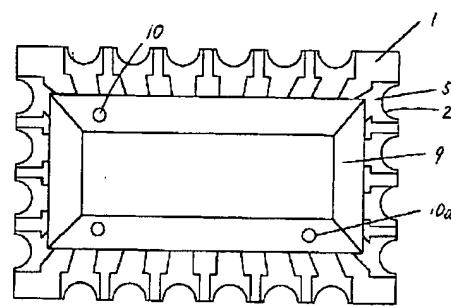
【0021】さらに、半導体素子を封止する樹脂を半導体素子の表面を露出することにより、得られた半導体装置の全体高さを低くすることができる。

【図面の簡単な説明】

【図1】



【図2】



【図3】

